

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/007073

International filing date: 12 April 2005 (12.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-120168
Filing date: 15 April 2004 (15.04.2004)

Date of receipt at the International Bureau: 02 June 2005 (02.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 4 月 1 5 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 2 0 1 6 8

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 1 2 0 1 6 8
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 5 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	5037850007
【提出日】	平成16年 4月15日
【あて先】	特許庁長官殿
【国際特許分類】	G06K 19/07 B42D 15/10 521
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地
【氏名】	松下電器産業株式会社内 中根 譲治
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地
【氏名】	松下電器産業株式会社内 角 辰己
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100097445
【弁理士】	
【氏名又は名称】	岩橋 文雄
【選任した代理人】	
【識別番号】	100103355
【弁理士】	
【氏名又は名称】	坂口 智康
【選任した代理人】	
【識別番号】	100109667
【弁理士】	
【氏名又は名称】	内藤 浩樹
【手数料の表示】	
【予納台帳番号】	011305
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9809938

【書類名】 特許請求の範囲

【請求項 1】

リーダーライトとデータキャリアが通信を行う非接触型情報システムにおいて、前記データキャリアに使用される半導体集積回路であって、
メモリ回路部とロジック回路部と整流回路部と第 1 のリセット発生回路部を有し、
前記メモリ回路部は、前記リーダーライトと送受信するデータが格納され、
前記ロジック回路部は、前記第 1 のリセット発生回路部から第 1 の信号が送られないとき、前記メモリ回路部に格納される前記データを獲得し、前記データを前記整流回路部へ送る機能、及び、前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記第 1 のリセット発生回路部へ第 2 の信号を送る機能を有し、
前記整流回路部は、前記ロジック回路部から送られる前記データを整流して、前記リーダーライトへ送り、
前記第 1 のリセット発生回路部は、前記ロジック回路部が前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記ロジック回路部に前記第 1 の信号を送らないことを特徴とする半導体集積回路。

【請求項 2】

リーダーライトとデータキャリアが通信を行う非接触型情報システムにおいて、前記データキャリアに使用される半導体集積回路であって、
メモリ回路部とロジック回路部と整流回路部と第 1 のリセット発生回路部とを有し、
前記メモリ回路部は、前記リーダーライトと送受信するデータが格納され、
前記ロジック回路部は、前記第 1 のリセット発生回路部から第 1 の信号が送られないとき、前記メモリ回路部に格納される前記データを獲得し、前記データを前記整流回路部へ送る機能、及び、前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記第 1 のリセット発生回路部に第 2 の信号を送る機能を有し、
前記整流回路部は、前記ロジック回路部から送られる前記データを整流して、前記リーダーライトへ送り、
前記第 1 のリセット発生回路部は、電源電圧を第 1 の直列抵抗器で降下させ、降下した後の電圧と前もって定められる第 1 の参照電圧とを比較し、前記降下した後の電圧が前記第 1 の参照電圧よりも小さいとき、前記ロジック回路部に前記第 1 の信号を送ることを特徴とする半導体集積回路。

【請求項 3】

前記第 1 のリセット発生回路は、前記ロジック回路部から前記第 2 の信号が送られるとき、前記降下した後の電圧を大きくすることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】

前記第 1 のリセット発生回路は、前記ロジック回路部から前記第 2 の信号が送られるとき、前記電源電圧を降下させる前記第 1 の直列抵抗器を構成する抵抗器の個数を減らす機能を有することを特徴とする請求項 2 又は 3 記載の半導体集積回路。

【請求項 5】

前記ロジック回路部は、前記メモリ回路部に格納されるデータを前記整流回路部へ送り始めると同時に、前記第 1 のリセット発生回路部に前記第 2 の信号を送り始めることを特徴とする請求項 1 ～ 4 いずれか記載の半導体集積回路。

【請求項 6】

前記ロジック回路部は、前記メモリ回路部に格納されるデータを前記整流回路部へ送る前に、送るべきデータをバッファに格納し、前記メモリ回路部に格納されるデータを前記整流回路部へ送るとき、前記メモリ回路部に格納されるデータを獲得しないことを特徴とする請求項 1 ～ 5 いずれか記載の半導体集積回路。

【請求項 7】

前記ロジック回路部は、前記整流回路部へ前記メモリ回路部に格納されるデータの送信を終了するタイミングよりも、前記整流回路部へ前記メモリ回路部に格納されるデータの送信が行なわれる期間以上、前記第 1 のリセット発生回路部への前記第 2 の信号送信を終了する

タイミングを遅らせることを特徴とする請求項 1 ～ 6 いずれか記載の半導体集積回路。

【請求項 8】

前記ロジック回路部が、前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記ロジック回路部に前記第 1 の信号を送らないことを特徴とする、第 2 のリセット発生回路部を有し、

前記ロジック回路部は、前記第 1 のリセット発生回路部および前記第 2 のリセット発生回路部から前記第 1 の信号が送られないとき、前記メモリ回路部に格納される前記データを獲得し、前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記第 1 のリセット発生回路部及び前記第 2 のリセット発生回路部に前記第 2 の信号を送る機能を有することを特徴とする請求項 1 ～ 7 いずれか記載の半導体集積回路。

【請求項 9】

前記第 2 のリセット発生回路部は、前記電源電圧を第 2 の直列抵抗器で降下させ、前記降下した後の電圧と前もって定められる第 2 の参照電圧とを比較し、前記降下した後の電圧が前記第 2 の参照電圧よりも大きいとき、前記ロジック回路部に前記第 1 の信号を送る機能、及び、前記ロジック回路部が前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記降下した後の電圧を大きくすることを特徴とする請求項 1 ～ 8 いずれか記載の半導体集積回路。

【請求項 10】

前記第 2 のリセット発生回路部は、前記ロジック回路部が前記メモリ回路部に格納される前記データを前記整流回路部へ送るとき、前記電源電圧を降下させる前記第 2 の直列抵抗器を構成する抵抗器の個数を減らす機能を有することを特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】

請求項 1 ～ 10 いずれか記載の半導体集積回路を搭載した非接触型情報システム。

【書類名】 明細書

【発明の名称】 半導体集積回路、及びこれを搭載した非接触型情報システム

【技術分野】

【０００１】

本発明は、半導体集積回路、及び、当該半導体集積回路を搭載した当該非接触型情報媒体を含むシステムに関するものである。

【背景技術】

【０００２】

近年、コイルの相互誘導現象を利用して、所定波長の電波を用いて電力の供給と同時にデータの送受信を可能にする、非接触ＩＣカードなどのデータキャリアが実用段階に入っている。この非接触ＩＣカードの種類は、非接触ＩＣカードとの間で電波の送受信を行うリーダーライタと当該非接触ＩＣカードとの間で通信が可能な距離によって、密着型、近接型、近傍型に分類されており、それぞれについての標準規格も整いつつある。

【０００３】

特に、リーダーライタから１０[cm]程度までの距離で用いることが可能な近接型の非接触ＩＣカードは、定期券などの用途によく用いられている。駅の改札口などで定期入れから非接触ＩＣカードを取り出すことなく、リーダーライタとの非接触状態での情報のやり取りに基づいて改札口のゲートの開閉制御を行うことが可能である。このように、非接触ＩＣカードは、きわめて広い範囲で使用される可能性を有するものである（特許文献１参照）。

【０００４】

しかしながら一般に、コイルの相互誘導現象によって発生する電圧が小さくなると、非接触ＩＣカードとリーダーライタとの通信が不可能となる。このようにコイルに発生する電圧が小さくなる原因として、非接触ＩＣカードとリーダーライタの物理的な距離が大きい場合が考えられる。ただし、非接触ＩＣカードとリーダーライタの物理的な距離がそれほど大きい場合でなくとも、リーダーライタから非接触ＩＣカードへのデータの送信が行われた後の、非接触ＩＣカードからリーダーライタへの返信が行われる期間では、コイルに発生する電圧が一時的に小さくなる。そのため、非接触ＩＣカードとリーダーライタとのデータ通信が不安定になる。ここで、非接触ＩＣカードは、前もって定められるリセット検知下限電圧を有する。このリセット検知下限電圧よりも、コイルに発生する電圧が小さい場合、非接触ＩＣカードとリーダーライタとのデータ通信は、たとえ送受信の途中であっても絶えずリセットされる。そのため、非接触ＩＣカードとリーダーライタとのデータ通信が出来なくなってしまう。

【特許文献１】 特開平８－７７３１８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

本発明は、非接触ＩＣカード（非接触情報媒体）の回路規模を増大させずに、簡単な回路構成で、非接触ＩＣカードとリーダーライタの通信可能距離を延ばし、通信の安定した半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【０００６】

上記の課題を解決するため、本発明に係るデータキャリア用の半導体集積回路は、メモリ回路部とロジック回路部と整流回路部とリセット発生回路部により構成される。メモリ回路部は、リーダーライタと送受信するデータが格納される。ロジック回路部は、リセット発生回路部から第１の信号が送られないとき、メモリ回路部に格納されているデータを獲得して整流回路部へ送る機能、及び、メモリ回路部に格納されているデータをリーダーライタへ送るとき、リセット発生回路部に第２の信号を送る機能を有する。また、整流回路部は、ロジック回路部から送られるデータを整流して、整流されたデータをリーダーライタへ送ることを特徴とする。さらに、リセット発生回路部は、ロジック回路部がメモリ

回路部に格納されるデータを整流回路部へ送るとき、ロジック回路部に第 1 の信号を送らないことを特徴する。

【0007】

また、他の発明にかかるデータキャリア用の半導体集積回路中に存在するリセット発生回路部は、電源電圧を直列抵抗器で降下させ、降下した後の電圧と前もって定められる参照電圧とを比較し、降下した後の電圧が参照電圧よりも小さいとき、ロジック回路部に第 2 の信号を送る機能を有する。さらにリセット発生回路部に、ロジック回路部から第 2 の信号が送られるとき、電源電圧を降下させる直列抵抗器を構成する抵抗器の個数を減らす機能を付加してもよい。これらの機能は、リセット発生回路部が、前もって定められるリセット検知下限電圧と電源電圧を比較し、電源電圧がリセット検知下限電圧よりも小さいとき、ロジック回路部に信号を送る機能と、リセット発生回路部が、ロジック回路部から信号が送られるとき、リセット検知下限電圧を低下させる機能と同様のものである。

【0008】

また、他の本発明に係るデータキャリア用の半導体集積回路は、降下した後の電圧と前もって定められる参照電圧を比較し、降下した後の電圧が参照電圧よりも大きいとき、ロジック回路部に信号を送る機能、及び、ロジック回路部から信号が送られるとき、電圧を降下させる直列抵抗器を構成する抵抗器の個数を減らす機能を持つことを特徴とする、他のリセット発生回路部が付加される。

【発明の効果】

【0009】

本発明に係る半導体集積回路は、ロジック回路部がメモリ回路部に格納されるデータをリーダーライターへ送るとき、すなわち、非接触 IC カードからリーダーライターへのデータの返信時に、電源電圧の降下を原因として、ロジック回路部の動作を止めることがない。具体的には、リセット検知下限電圧を有し、非接触 IC カードからデータキャリアへのデータ返信時にリセット検知下限電圧を低下させることにより、返信時に起こる電源電圧 V_{dd} の低下を原因とするリセット信号を発生させない。そのため、非接触 IC カードとデータキャリアの通信可能距離を増大させ、安定したデータ通信を実現できる。

【0010】

さらに、リセット検知上限電圧を定めることで、第三者が悪意を持って IC カードに記憶されているデータの読み出し、書き換えを行うことが困難になるため、安全性を大幅に向上させることができる。

【0011】

したがって、本発明の半導体集積回路は、近々普及すると見込まれている近接型（通信距離 0 ～ 10 cm）の非接触 IC カードへの適用を可能とする。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について説明する。図 1 は、非接触 IC カードシステムの概要を示す図である。

【0013】

非接触 IC カード 1 がリーダーライター 2 に近づくと、非接触な状態においても、電磁波を用いてデータ通信が行われる。このデータ通信は、リーダーライター 2 が非接触 IC カード 1 に対してデータを送信し、その後、非接触 IC カード 1 がリーダーライター 2 に対してデータを返信することによって行われる。このデータ通信の結果、非接触 IC カード 1 のメモリに格納されている個人情報などを、リーダーライター 2 は獲得することができる。さらに、リーダーライター 2 とホスト機 3 の通信によって、非接触 IC カード 1 に記録された情報を広く利用することができる。

【0014】

本発明に係る非接触 IC カード 1 とリーダーライター 2 からなるブロック構成図は、図 2 のとおりである。

【0015】

非接触 I C カード 1 は、非接触 I C カード用 L S I 1 1 とアンテナコイル 1 2 と同調容量 1 3 により構成されている。非接触 I C カード用 L S I 1 1 は、アナログ回路部 2 0 とロジック回路部 2 1 と不揮発性メモリ回路部 2 2 などにより構成される。

【0016】

非接触 I C カード用 L S I 1 1 のコイル端子 3 6 , 3 7 には、リーダーライタ 2 のアンテナコイル 4 から出力される電磁波 5 の送受信を行うためのアンテナコイル 1 2 が接続される。また、アンテナコイル 1 2 には同調容量 1 3 が接続されている。したがって、アンテナコイル 1 2 は、リーダーライタ 2 からの電磁波 5 を受けるため、アンテナコイル 1 2 の端子 (3 6 , 3 7) 間に交流電圧が発生する。

【0017】

アンテナコイル 1 2 の端子 (3 6 , 3 7) 間に発生する交流電圧は、アナログ回路部 2 0 に入力される。アナログ回路部 2 0 は、整流回路 3 0 , 電源回路 3 1 , クロック発生回路 3 2 , 復調回路 3 3 , 変調回路 3 4 , リセット発生回路 3 5 などにより構成される。

【0018】

整流回路 3 0 は、アンテナコイル 1 2 の端子 (3 6 , 3 7) 間に発生する交流電圧を直流電圧に整流することで、電圧を安定化させる。電源回路 3 1 は、整流回路 3 0 で整流された電源電圧 V_{dd} を、非接触 I C カード用 L S I 1 1 全体に送ることで、非接触 I C カード用 L S I 1 1 全体の動作を可能にする。

【0019】

リセット発生回路 3 5 は、電源回路 3 1 から出力される電源電圧 V_{dd} のレベルに応じて、ロジック回路部 2 1 に送るリセット信号 $R E S E T$ を切り替えることで、非接触 I C カード 1 とリーダーライタ 2 とのデータ通信を制御する。具体的には、リセット発生回路 3 5 は、電源回路 3 1 から電源電圧 V_{dd} を受け、電源電圧 V_{dd} のレベルが、非接触 I C カード用 L S I 1 1 が誤動作を引き起こさない程度の電源電圧レベルに達したとき、リセット信号 $R E S E T$ を High から Low へ切り替える。なお、リセット信号 $R E S E T$ が High であるときには、ロジック回路部 2 1 は、不揮発性メモリ回路部 2 2 に対して制御信号 $C t r l$ を送らない。このときロジック回路部 2 1 は、不揮発性メモリ回路部 2 2 へのアクセスが不可能となる。反対に、リセット信号 $R E S E T$ が Low であるときには、ロジック回路部 2 1 は不揮発性メモリ回路部 2 2 に制御信号 $C t r l$ を送り、不揮発性メモリ回路部 2 2 へのアクセスが可能となる。したがって、リセット信号 $R E S E T$ が High から Low へ切り替わる瞬間は、不揮発性メモリ回路部 2 2 へのアクセスが可能となる瞬間である。不揮発性メモリ回路部 2 2 へのアクセスが可能であるとき、ロジック回路部 2 1 は不揮発性メモリ回路部 2 2 に格納されているデータを獲得することができる。そのため、リーダーライタ 2 などの外部装置が非接触 I C カードにデータを送信することが可能となるだけでなく、非接触 I C カード 1 はリーダーライタ 2 に対して、不揮発性メモリ回路部 2 2 に格納されているデータを返信することが可能となる。

【0020】

クロック発生回路 3 2 は、アンテナコイル 1 2 の両端に発生する交流電圧を受け、クロック信号 $C L K$ を生成し、ロジック回路部 2 1 へクロック信号 $C L K$ を送る。

【0021】

また、リーダーライタ 2 が非接触 I C カード 1 へデータを送信するとき、送られるデータは、整流回路 3 0 で整流された後、復調回路 3 3 で復調される。復調回路 3 3 は、復調された復調信号 $R X D A T A$ を、ロジック回路部 2 1 へ送る。

【0022】

反対に、非接触 I C カード 1 がリーダーライタ 2 へデータを返信するとき、ロジック回路部 2 1 は、変調回路 3 4 へ返信信号 $T X D A T A$ を High から Low にする。その後、変調回路 3 4 が、返信信号 $T X D A T A$ を変調して、変調される信号をコイル端子間に対して送ることで、非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われる。

【0023】

ロジック回路部 2 1 は、不揮発性メモリ回路部 2 2 に対してアドレス信号 $A d d$ を送る

ことで、そのアドレスに対応するデータ信号DATAを獲得することができる。また、ロジック回路部21は、不揮発性メモリ回路部22に対して、アドレス信号Add及びデータ信号DATAを送ることで、不揮発性メモリ回路部22へデータを格納することができる。

【0024】

図3に、非接触ICカード1の、アンテナコイル12、同調用容量13、コイル端子36、37、変調回路34及び整流回路30の構成図を示す。まず、ICカード1に備えられたアンテナコイル12は、リーダーライタ2より送られる電磁波5を受信する。そして、アンテナコイル12の両端に発生した交流電圧は、変調回路34中の、変調用トランジスタ82と変調度調整抵抗81で変化する。すなわち、非接触ICカード1の負荷が変化することとなる。そして、非接触ICカード1からリーダーライタ2へデータの返信が行われる。非接触ICカード1からリーダーライタ2へデータの返信が行われている期間、すなわちロジック回路部21で発生される返信信号TXDATAがLowである期間では、変調回路34の変調用トランジスタ82がオンし、コイル端子(36, 37)間電圧は低下する。ここで非接触ICカード1は、コイル端子(36, 37)間電圧より、電源電圧Vddを発生する。

【0025】

すなわち、コイル端子(36, 37)間電圧が十分大きな電圧の場合(リーダーライタ2と非接触ICカード1が近接している場合)、または変調回路34の変調度調整抵抗81の抵抗値が大きい場合は、負荷変調型の変調回路34の変調用トランジスタ82がオン状態でも供給電力が大きいいため、コイル端子(36, 37)間電圧の低下が小さい。したがって、電源電圧Vddの低下も小さくなり、リセット信号RESETも発生しないため、非接触ICカード1とリーダーライタ2とのデータ通信は可能である。

【0026】

反対に、コイル端子(36, 37)間電圧が小さい場合(リーダーライタ2と非接触ICカード1が離れている場合)、または変調回路34の変調度調整抵抗81が小さい場合、負荷変調型である変調回路34の変調用トランジスタ82がオン状態では、コイル端子(36, 37)間電圧が小さいため、電源電圧Vddの低下を引き起こす。そして、リセット発生回路35は電源電圧Vddの低下を検知し、リセット信号RESETを発生し、LSI11全体の動作を停止させる。LSI11の動作が停止すると、非接触ICカード1とリーダーライタ2のデータ通信が不可能となる。

【0027】

したがって、コイル端子(36, 37)間電圧が小さい場合でなくても、変調回路34の変調度調整抵抗81が小さい場合、変調用トランジスタ82がオンであるとき(非接触ICカード1からリーダーライタ2へデータの返信が行われるとき)、非接触ICカード1とリーダーライタ2のデータ通信が不可能となる。

【0028】

一般に、変調回路34の特性は、図4で示されるように、非接触ICカード1とリーダーライタ2のデータ通信能力を示す変調度によって表される。この変調度は、非接触ICカードに関する国際規格ISO/IEC14443-2において規定されている。この規格を満たすためには、磁界強度と変調度との関係を示す図4中の実線(1)を境界として、非接触ICカード1の持つ変調度が、実線(1)で区切られる上側の領域($30/H^{1.2}$ [mVp])に存在する必要がある。一般に、磁界強度が弱い場合ほど非接触ICカード1に発生する電圧が小さいため、非接触ICカード1とリーダーライタ2とのデータ通信を可能とするために、変調度を大きくする必要がある。しかしながら、図4の実線(2)及び実線(3)に示されるとおり、変調度の大きさ、すなわちLSI11中の変調回路の特性は、磁界強度、すなわちコイル端子(36, 37)間に発生する電圧にほとんど依存せずに、変調回路34の変調度調整抵抗81の抵抗値に依存する。そのため、低磁界強度の状態でも、非接触ICカード1とリーダーライタ2とのデータ通信が十分可能な程度に変調度を高くすることは可能である。そして変調度を高くするためには、前述のとおり、変調回路34の変調度調整抵抗

8 1 の抵抗値を小さくする必要がある。しかしながら、変調回路 3 4 の変調度調整抵抗 8 1 を小さくすると、低磁界強度時の状態では、ロジック回路部 2 1 から変調回路 3 4 に送られる返信信号 TXDATA が Low であるとき、すなわち非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われるとき、電源電圧 Vdd の低下が大きい。そのとき、リセット発生回路 3 5 はリセット信号 RESET をロジック回路部 2 1 に送るため、非接触 I C カード 1 とリーダーライタ 2 とのデータ通信が不可能となる。

【0029】

まとめると、変調度調整抵抗 8 1 の抵抗値が小さい場合、変調度が高くなる反面、非接触 I C カード 1 からリーダーライタ 2 へのデータの返信時に低下する電源電圧の幅が大きくなる。反対に、変調度調整抵抗 8 1 の抵抗値が大きい場合、非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われる時に低下する電源電圧の幅が小さい反面、低磁界強度の状態では変調度が小さくなる。

【0030】

本実施の形態に係る非接触 I C カードシステムでは、抵抗値の小さい変調度調整抵抗 8 1 が用いられる。そして、本実施の形態に係る I C カードシステムでは、非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われるときには必ず、ロジック回路部 2 1 がリセット発生回路 3 5 へスイッチ信号 SW を送ることを特徴とする。ロジック回路部 2 1 がスイッチ信号 SW を送ることによって、非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われるときに電源電圧が低下しても、リセット発生回路 3 5 はリセット信号 RESET をロジック回路部 2 1 に送らない。リセット発生回路 3 5 がリセット信号 RESET を送らないため、非接触 I C カード 1 はリーダーライタ 2 へデータの返信を続けることができる。

【0031】

以下、本実施の形態に係る非接触 I C カードシステムの動作について、データ通信時の各信号の波形図である図 6 を用いて説明する。非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われるとき、ロジック回路部 2 1 は、前述のとおり、変調回路 3 4 へ送る返信信号 TXDATA を High から Low にする。本実施の形態の場合、返信信号 TXDATA が Low である期間中は、図 3 中の変調度調整抵抗 8 1 を介して、コイル端子 (3 6, 3 7) 間を接続するため、コイル端子 (3 6, 3 7) 間電圧は低下する。コイル端子 (3 6, 3 7) 間電圧は整流回路 3 0 で整流された後、電源回路 3 1 により電源電圧となり、この電源電圧は L S I 1 1 全体に対して供給される。そのため、返信信号 TXDATA が Low である期間中、変調度調整抵抗 8 1 の抵抗値が大きい場合は、電源電圧 Vdd は図 6 中の直線 (1) のように、Vdd0 (Vdd0=5.0V) から Vdd1 (Vdd1=4.5[V] とする) まで低下して、変調度調整抵抗 8 1 の抵抗値が小さい場合は、電源電圧 Vdd は図 6 中の直線 (2) のように、Vdd0 から Vdd2 (Vdd2=3.0[V] とする) まで低下する。

【0032】

リセット発生回路 3 5 は、リセット検知下限電圧 Vreset を有し、電源電圧 Vdd がリセット検知下限電圧 Vreset よりも小さくなった場合、リセット信号 RESET が High になる。ただし、リセット検知下限電圧 Vreset は、4.5[V] 以下であることを必要とする。すなわち非接触 I C カード 1 とリーダーライタ 2 が物理的に離れている状態で、非接触 I C カード 1 からリーダーライタ 2 へデータの返信が行われるとき、電源電圧 Vdd は小さいので、リセット検知下限電圧 Vreset が 4.5[V] ならば、リセット信号 RESET は High になる。このとき、L S I 1 1 の動作が止まるため、非接触 I C カード 1 とリーダーライタ 2 とのデータ通信が不可能である。したがって、電源電圧 Vdd が小さい状態でも、リセット信号 RESET が High にならず、非接触 I C カード 1 とリーダーライタ 2 とのデータ通信が可能な状態を保つためには、リセット発生回路 3 5 が有するリセット検知下限電圧 Vreset を下げる必要がある。

【0033】

ここで、非接触 I C カード 1 とリーダーライタ 2 とのデータ通信が全く行われていないとき、リセット発生回路 3 5 のリセット検知下限電圧 Vreset を Vre2 (3.0[V] 以下) に

低下させた場合を考える。非接触 I C カード 1 とリーダーライタ 2 とのデータ通信が行われないときには、スイッチ信号 SW を常に High にすることによって、不揮発性メモリ回路部 2 2 の動作を止めるべきである。しかしながら、ロジック回路部 2 1 は不揮発性メモリ回路部 2 2 に制御信号 Ctrl を送るため、不揮発性メモリ回路部 2 2 は動作をする。ロジック回路部 2 1 は、通常、論理ゲートのみで構成されるため、電源電圧 Vdd が 3.0 [V] 程度の状態に落ちても、通常、問題なく動作する。しかしながら不揮発性メモリ回路部 2 2 は、論理ゲートだけではなくメモリセルなどにより構成される。そのため、電源電圧 Vdd が 3.0 [V] 程度に落ちた状態で、不揮発性メモリ回路部 2 2 が動作するとき、不揮発性メモリ回路部 2 2 が有するメモリセルへの書き込み時間などが規定値にならず、正常な動作が保証されなくなってしまう。つまり、電源電圧 Vdd が 3.0 [V] 程度に落ちたときには、不揮発性メモリ回路部 2 2 を動作させないように設計する必要がある。

【0034】

上記の問題点を鑑みて、本実施の形態に係る非接触 I C カードシステムにおける特徴は、非接触 I C カード 1 からリーダーライタ 2 へのデータの返信時に、不揮発性メモリ回路部 2 2 を動作させず、返信すべきデータをロジック回路部 2 1 はバッファリングし、ロジック回路部 2 1 のみを動作させることで返信を行うことである。

【0035】

このように、非接触 I C カード 1 からリーダーライタ 2 へデータの返信を行う可能性がある期間にのみ、不揮発性メモリ回路部 2 2 の動作を停止させ、リセット発生回路 3 5 のリセット検知下限電圧を低下させる機能を I C カードシステムに付加することで、通信可能な距離を延ばすことができ、不揮発性メモリ回路部 2 2 の動作を安定させることが出来る。

【0036】

本発明の実施の形態に係る非接触 I C カードシステムは、リセット発生回路 3 5 が有するリセット検知下限電圧 Vreset を低下させるために、図 2 のように、ロジック回路部 2 1 からリセット発生回路 3 5 に対して、スイッチ信号 SW を送る機能を持つ。このスイッチ信号 SW が High である期間中にのみ、リセット発生回路 3 5 のリセット検知下限電圧が Vre1 (= 約 4.5 [V]) から Vre2 (\leq Vdd2 (= 約 3.0 [V])) に低下するものとする。すなわち、スイッチ信号 SW が High である期間中にのみ、非接触 I C カード 1 からリーダーライタ 2 へのデータの返信が可能である。

【0037】

以下、図 5 を用いてリセット発生回路 3 5 の構成について説明する。ここで抵抗 4 3, 4 4, 4 5 は、抵抗値をそれぞれ R1, R2, R3 とする抵抗であり、電源電圧 Vdd を分圧して降下させる抵抗である。比較器 4 7 は抵抗 4 4 と抵抗 4 5 の接続点の電圧 VR と参照電圧発生回路の出力電圧 Vref との電圧比較を行う。参照電圧発生回路 4 6 は、通常バンドギャップ参照電圧発生回路が用いられ、本実施の形態においても同様に、バンドギャップ参照電圧発生回路が用いられる。なお、ここで用いられるバンドギャップ参照電圧発生回路 4 6 の出力電圧 Vref は約 1.2 V である。ただし、参照電圧発生回路がどのような出力電圧を有する回路であっても、本実施の形態に適用することができる。また、非接触 I C カード 1 からリーダーライタ 2 へのデータの返信期間中を示すスイッチ信号 SW は、図 5 のようにインバータ 4 1 を介して、リセット検知下限電圧 Vreset 設定用トランジスタ 4 2 のゲートに入力され、スイッチ信号 SW が High のとき、R1 と R2 の接続点の電圧が電源電圧 Vdd になる。スイッチ信号 SW が Low のときのリセット検知下限電圧 Vre1 を 4.5 [V]、スイッチ信号 SW が High のときのリセット検知下限電圧 Vre2 を 3.0 [V]、参照電圧発生回路 4 6 の出力電圧 Vref を 1.2 V、 $R1+R2+R3=1$ [M Ω] とした場合、抵抗 4 3, 4 4, 4 5 の抵抗値 R1, R2, R3 は、以下に示す (式 1) ~ (式 3) の連立方程式を解くことで一様に定まる。

$$(式 1) \quad R1+R2+R3=1000 [k\Omega]$$

$$(式 2) \quad 4.5 / (R1+R2+R3) = 1.2 / R3$$

< スイッチ信号 SW が Low のときのリセット発生回路 3 5 の抵抗に流れる電流値 >

$$(式3) \quad 3.0 / (R2 + R3) = 1.2 / R3$$

＜スイッチ信号SWがHighのときのリセット発生回路35の抵抗に流れる電流値＞

上記(式1)～(式3)より、抵抗43、抵抗44、抵抗45のそれぞれの抵抗値は、 $R1 = 333.33 \text{ [k}\Omega\text{]}$ 、 $R2 = 400.00 \text{ [k}\Omega\text{]}$ 、 $R3 = 266.67 \text{ [k}\Omega\text{]}$ となる。

【0038】

すなわち、スイッチ信号SWがLowのとき、リセット検知下限電圧VresetがVrel=4.5[V]となり、リセット発生回路35の抵抗は、抵抗43、抵抗44、抵抗45の直列抵抗となる。そして、抵抗44と抵抗45の接点の電圧VRが1.2Vよりも小さいとき、すなわち電源電圧VddがVrel=4.5[V]よりも小さいとき、リセット信号RESETがLowからHighに変わる。また、スイッチ信号SWがHighのとき、リセット検知下限電圧VresetがVre2=3.0[V]となり、リセット発生回路35の抵抗は、抵抗44、抵抗45の直列抵抗となる。そして、電圧VRが1.2Vよりも小さいとき、すなわち電源電圧VddがVre2=3.0[V]よりも小さいとき、リセット信号RESETがLowからHighに変わる。

【0039】

反対に、リセット検知下限電圧Vresetの電圧を、Vrel=4.5[V]、Vre2=3.0[V]にするためには、図5のような回路構成で、抵抗43、抵抗44、抵抗45の抵抗値を $R1 = 333.33 \text{ [k}\Omega\text{]}$ 、 $R2 = 400.00 \text{ [k}\Omega\text{]}$ 、 $R3 = 266.67 \text{ [k}\Omega\text{]}$ となるように設定すればよい。

【0040】

このように、本実施の形態に係るリセット発生回路35において、複数の抵抗器を直列に配置し、リセット検知下限電圧Vreset設定用トランジスタ42を図5のように挿入し、スイッチ信号SWの状態に応じて、電源電圧Vddを降下させる抵抗器の個数を変えることで、2種類のリセット検知下限電圧Vrel、Vre2を切り替えることが出来る。すなわち、本実施の形態に係るリセット発生回路35は、ロジック回路部21からスイッチ信号SWが送られるとき、抵抗44と抵抗45の接続点の電圧VRを任意に引き上げることで、リセット検知下限電圧Vresetを任意に下げる機能を有する。抵抗44と抵抗45の接続点の電圧VRを変化させるためには、抵抗43～抵抗45の抵抗値を変えるだけでよい。極めて容易に電圧VRを変化させることができる。

【0041】

なお、本実施の形態に係るリセット発生回路35において、上記のように2種類のリセット検知下限電圧Vrel、Vre2を定めなくとも、スイッチ信号SWが送られるときには必ず、ロジック回路部21に送るリセット信号RESETをLowにすることで、上記手段と同様に非接触ICカード1とリーダーライタ2とのデータ通信を維持することができる。

【0042】

次に、非接触ICカード1からリーダーライタ2へのデータの返信が終了するときの電源電圧変化について説明する。図7は、非接触ICカード1とリーダーライタ2との間で、データ通信が行われる際の各信号波形を示す拡大図である。返信信号TXDATAがLow状態である期間中は変調回路34によりコイル端子(36, 37)間電圧はVdd2まで低下するものとする。そして、データの返信が終了すると返信信号TXDATAはLowからHigh状態となり、コイル端子(36, 37)間電圧はVdd0レベルに向かって上昇する。その上昇に伴い、電源電圧Vddは、Vdd2レベルからVdd0レベルに向かって上昇する。

【0043】

しかしながら、LSI11内部に寄生的に含まれる容量や付加される容量により、電源電圧Vddの上昇速度が異なる。具体的には、LSIの内部容量が大きい場合、図7の実線(2)のように、非接触ICカード1からリーダーライタ2へデータの返信が終わったときから、電源電圧Vddがゆっくりと上昇する。したがって、ロジック回路部21からリセット発生回路35へ送られるスイッチ信号SWが、HighからLowへ変化するタイミングと、ロジック回路部21から変調回路34に送られる返信信号TXDATAがHigh状態になるタイミングとの時間差が小さい場合、電源電圧Vddが十分にVdd0の電圧レベルに戻る前に、リセット発生回路35のリセット検知下限電圧Vresetが、図7の点線(5)のように、Vrelまで立ち

上がってしまう。その結果、リセット発生回路35は、リセット信号RESETを発生してしまうため、非接触ICカード1とリーダーライタ2とのデータ通信が出来なくなってしまう。

【0044】

そこで、本実施の形態に係るロジック回路部21は、スイッチ信号SWの立下りタイミングを、図7の実線(3)のように遅らせる。しかしながら、ロジック回路部21が、あまりにもスイッチ信号SWの立下りタイミングを遅らせ過ぎると、LSI11が内部処理を行う際に不揮発性メモリ回路22の動作が始まる。そこで、図7からもわかるとおり、ロジック回路部21は、変調回路34へ送る返信信号TXDATAの立ち上がりタイミングから、返信信号TXDATAがLowである期間より長い期間だけ、スイッチ信号SWの立下りタイミングを遅らせればよい。厳密には、非接触ICカードの国際規格「ISO/IEC14443 TypB」における変調周波数は848kHzであるため、 $1.18[\mu\text{秒}/2]$ 、すなわち、590[n秒]以上の時間タイミングだけ、スイッチ信号SWの立下りタイミングを遅らせればよい。

【0045】

本実施の形態に係るロジック回路部21は、クロック発生回路32から送られるクロック信号CLKを利用して、上記のと通りのタイミングでスイッチ信号SWを送ることを停止する。

【0046】

さらに、リセット検知下限電圧Vresetの他に、リセット検知上限電圧V' resetを、リセット検知電圧として設けることが、本実施の形態に係る非接触ICカードシステムにおいて可能である。ここで、非接触ICカード1とリーダーライタとのデータ通信時における、リセット検知下限電圧Vreset、リセット検知上限電圧V' reset及び電源電圧Vddとの関係を示す各信号波形図である、図8を用いて説明する。

【0047】

非接触ICカード1からリーダーライタ2へのデータの返信時（ロジック回路部21から変調回路34へ送られる返信信号TXDATAがLowである期間）、変調度調整抵抗81の抵抗値が小さい場合には、電源電圧VddはVdd0からVdd2へ低下する。その電源電圧Vddの低下と同期するように、電源電圧Vdd0及びVdd2より高い電圧Vre3、Vre4を持つリセット検知上限電圧V' resetを定める。定められたリセット検知上限電圧V' resetよりも電源電圧Vddが大きい場合、リセット信号RESETがLow状態からHigh状態になり、非接触ICカード1とリーダーライタ2とのデータ通信を止める機能を、リセット発生回路35に付加する。具体的には、図5のリセット発生回路35と同様の構成を持つ回路の出力部にインバータを一つ付加する回路を、元のリセット発生回路35に並列接続させる。このようにして、新たなリセット発生回路図5中の直列抵抗器と同様に、電源電圧Vddを降下させる抵抗器の個数を変化させることで、2種類のリセット検知上限電圧Vre3、Vre4を定めることができる。

【0048】

この機能を持つ非接触ICカード1は、以下のように安全性を向上させる効果を持つ。例えば第三者が、本実施の形態に係るLSI11の外部から電源を入力し、LSI11内部の信号や不揮発性メモリ回路部22に記憶されているデータの読み出し、書き換えを、悪意を持って行おうとする場合を考える。このような場合、第三者は、電源電圧Vddの代わりとなる電圧を外部より入力する必要がある。ここで、本実施の形態に係るリセット発生回路35は、リセット検知下限電圧Vresetとリセット検知上限電圧V' resetを有する。そのため、電源電圧Vddの代わりとなる電圧は、リセット信号RESETが発生しないようにするために、常に、電源電圧Vddの代わりとなる電圧を、リセット検知下限電圧Vresetよりも高く、かつ、リセット検知上限電圧V' resetよりも低い電圧に設定する必要がある。しかしながら、外部電源をリセット信号RESETが常に発生しないように外部電源電圧を調整することは、非常に困難である。したがって、本実施の形態に係る非接触ICカードシステムは、リセット発生回路35の回路構成を複雑なものにする必要なく、LSI11の安全性を大幅に向上させることが容易に可能となる。

【００４９】

以上のように、本発明の半導体集積回路は、変調時にリセット発生回路の検知電圧レベルを低下させる機能を有し、リーダーライタ２から電力の供給を受け、電源電圧Vddを内部発生する非接触ＩＣカード用の半導体集積回路として有用である。

【００５０】

なお、本実施の形態に係る整流回路３０には、倍電圧整流回路が使用されているが、全波整流回路や半波整流回路で電波を整流する整流回路も使用され得る。倍電圧整流回路は、他の整流回路よりも、整流後に得られる電圧の値が大きいという特徴を持つ。また、本実施の形態に係る変調回路３４には、コイル端子（３６，３７）間電圧を変調する回路が使用されているが、電源電圧Vddを変調する変調回路も使用され得る。

【産業上の利用可能性】

【００５１】

本発明にかかる半導体集積回路は、非接触ＩＣカードからリーダーライタへデータの返信が行われるときに、リセット発生回路の検知電圧を低下させる機能を有し、リーダーライタから電力の供給を受け電源電圧Vddを内部発生する非接触ＩＣカード用の半導体集積回路として有用である。また前記半導体集積回路を搭載した非接触型情報媒体等の用途にも応用できる。

【図面の簡単な説明】

【００５２】

【図１】非接触ＩＣカードシステムの概略図

【図２】ＬＳＩ１１のブロック構成例を示す図

【図３】非接触ＩＣカード１の変調回路３４と整流回路３０の構成図

【図４】磁界強度と変調度との相関図

【図５】リセット発生回路３５の構成例を示す図

【図６】各信号波形図（１）

【図７】各信号波形図（２）（拡大図）

【図８】各信号波形図（３）

【符号の説明】

【００５３】

１ 非接触ＩＣカード（データキャリア）

２ リーダーライタ

３ ホスト機

４ アンテナコイル

５ 電磁波

１１ ＬＳＩ

１２ アンテナコイル

１３ 同調用容量

２０ アナログ回路部

２１ ロジック回路部

２２ 不揮発性メモリ回路部

３０ 整流回路

３１ 電源回路

３２ クロック発生回路

３３ 復調回路

３４ 変調回路

３５ リセット発生回路

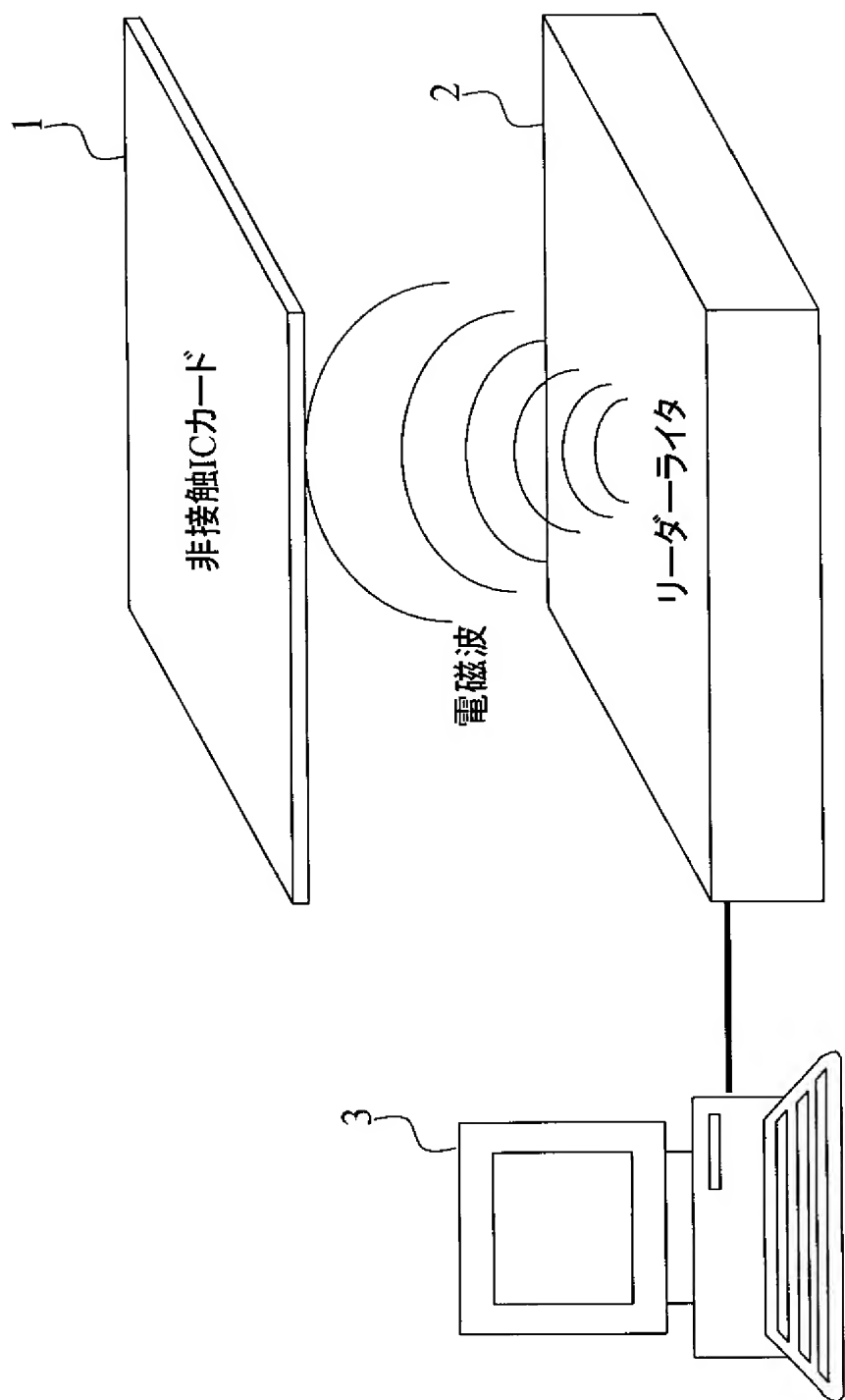
３６、３７ コイル端子

４１ インバータ

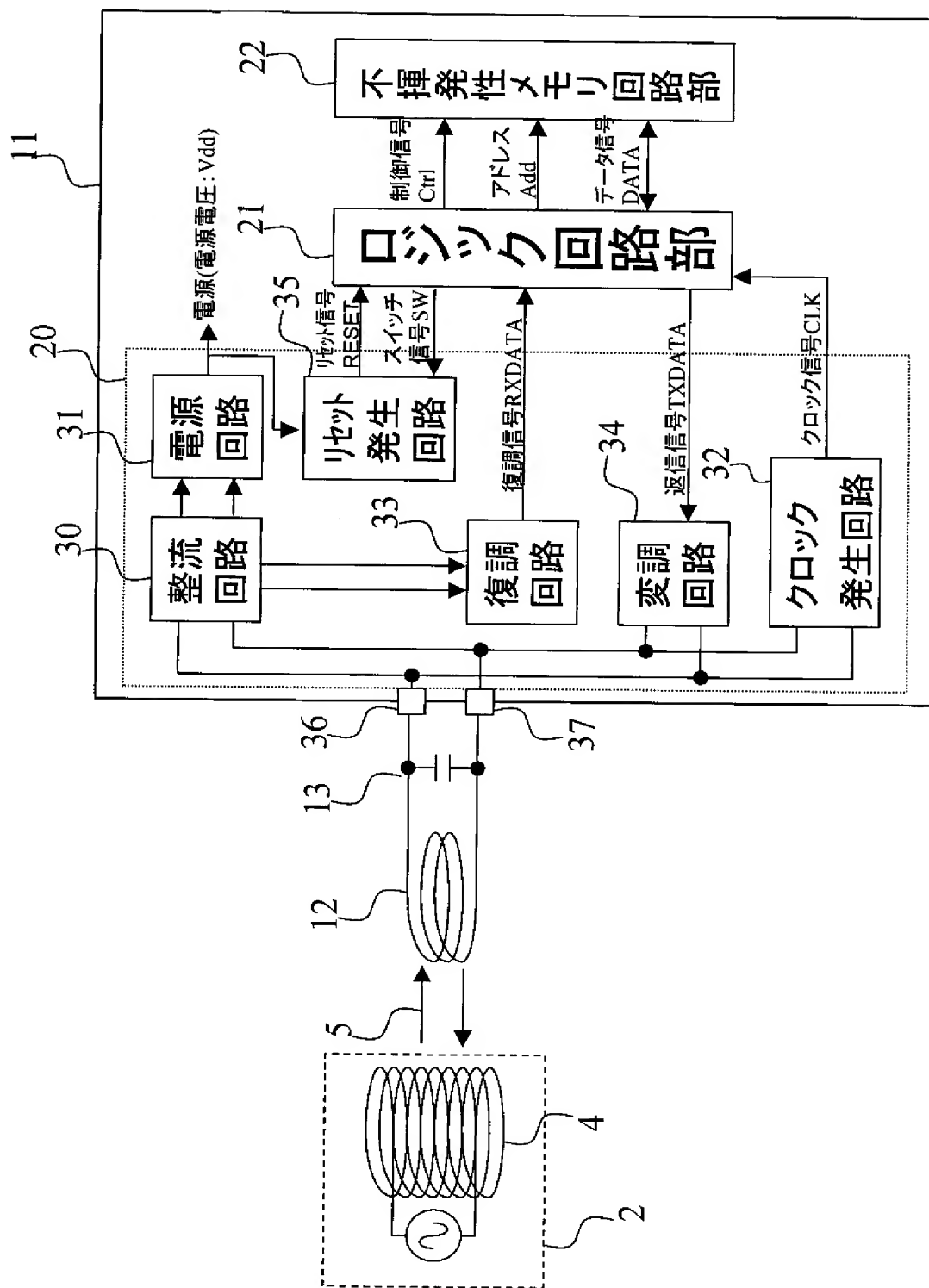
４２ リセット検知下限電圧Vreset設定用トランジスタ

４３～４５ リセット検知下限電圧調整抵抗

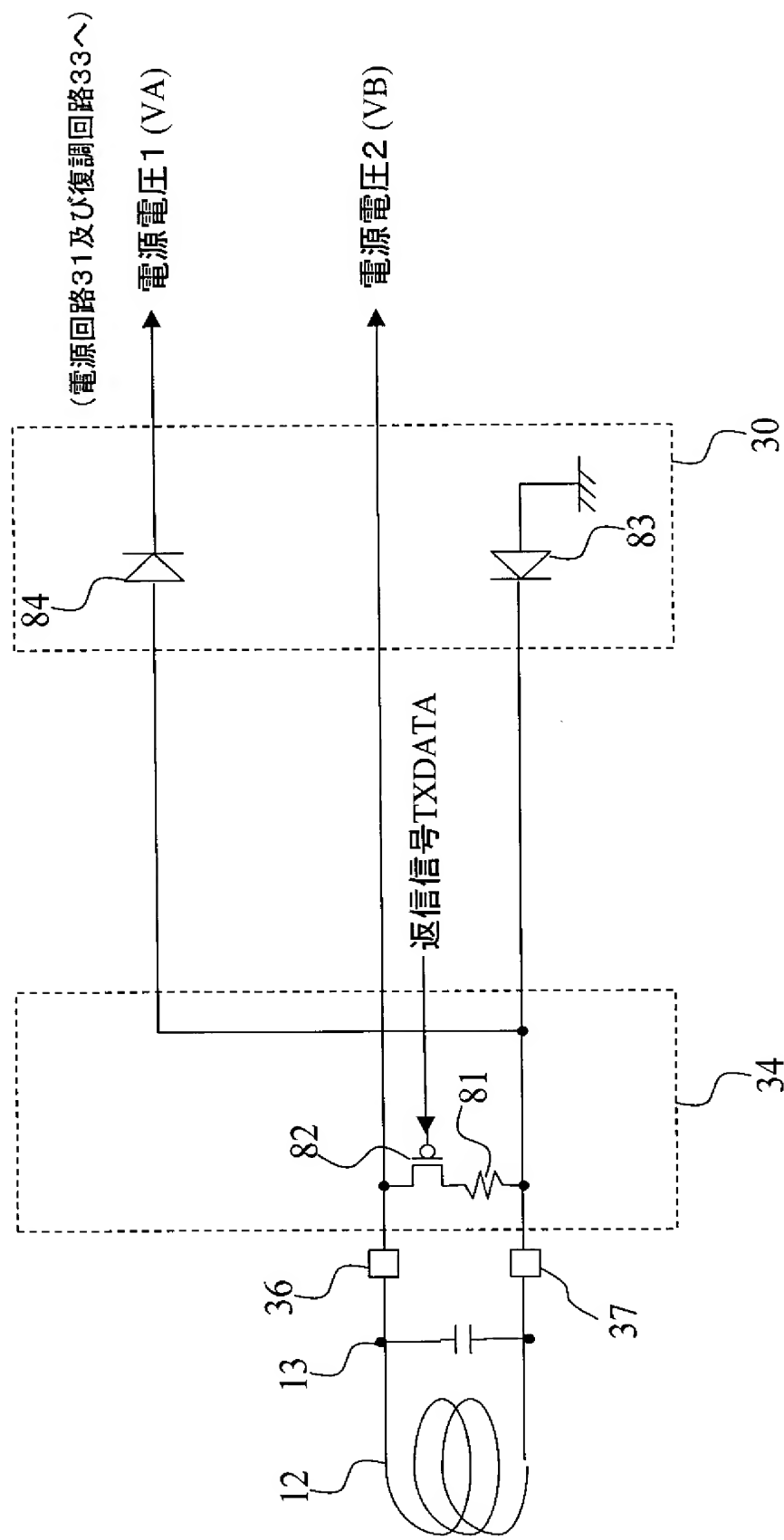
- 4 6 参照電圧発生回路
- 4 7 比較器
- 8 1 変調度調整抵抗
- 8 2 変調用トランジスタ
- 8 3、8 4 ダイオード

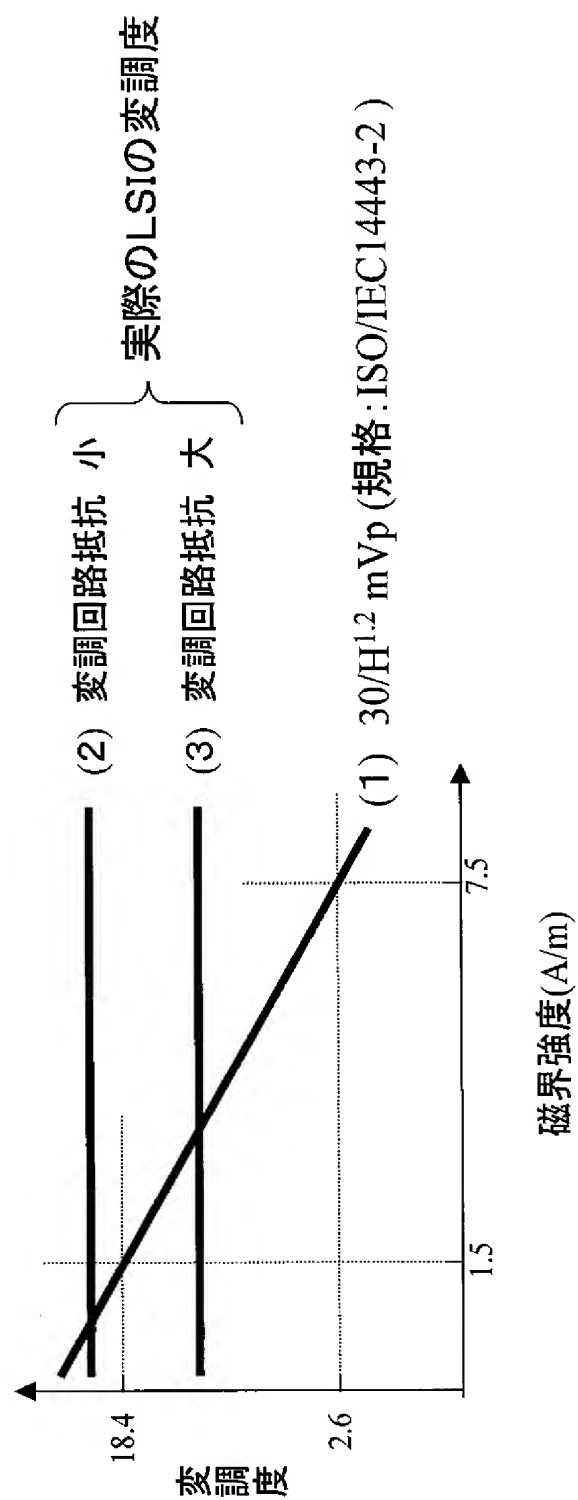


【図 2】

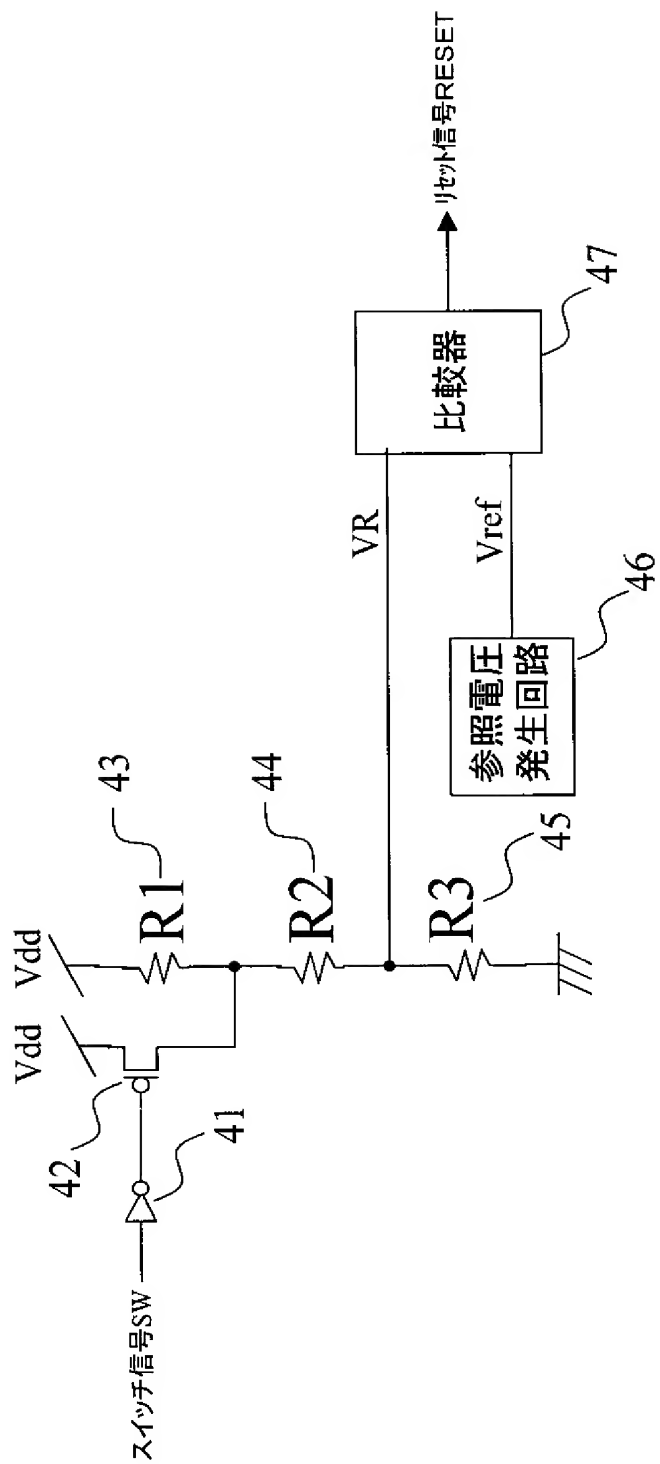


【図 3】

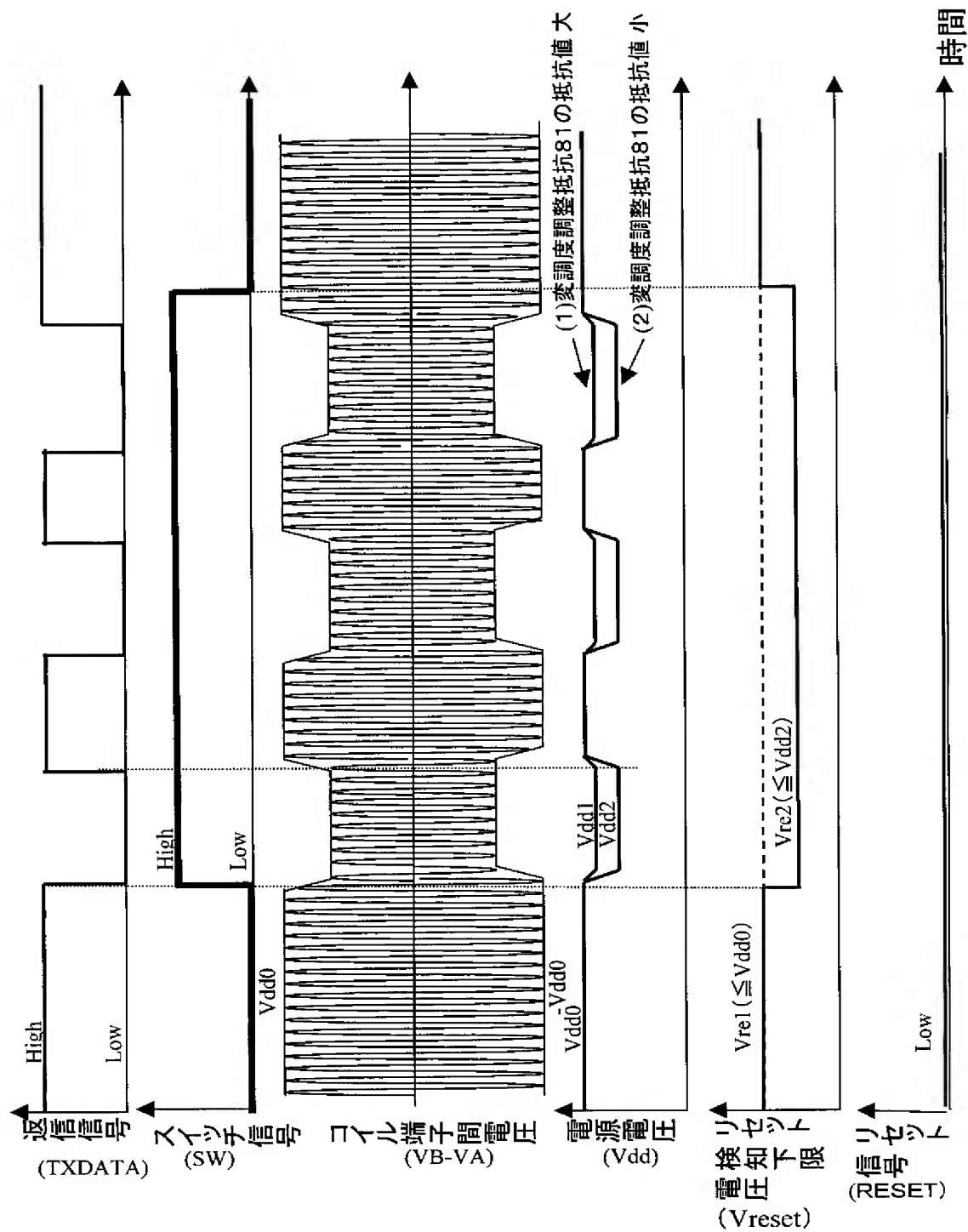


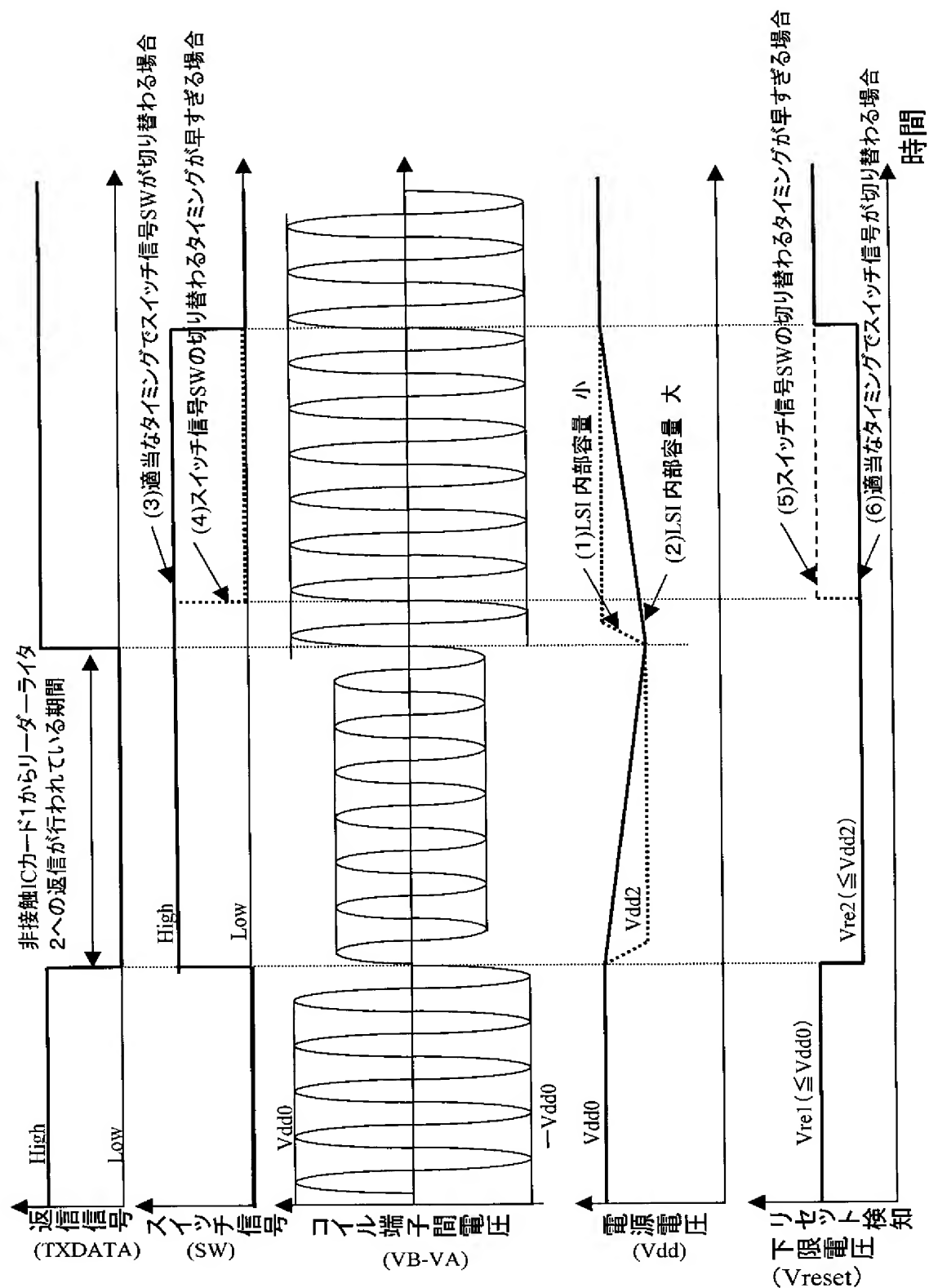


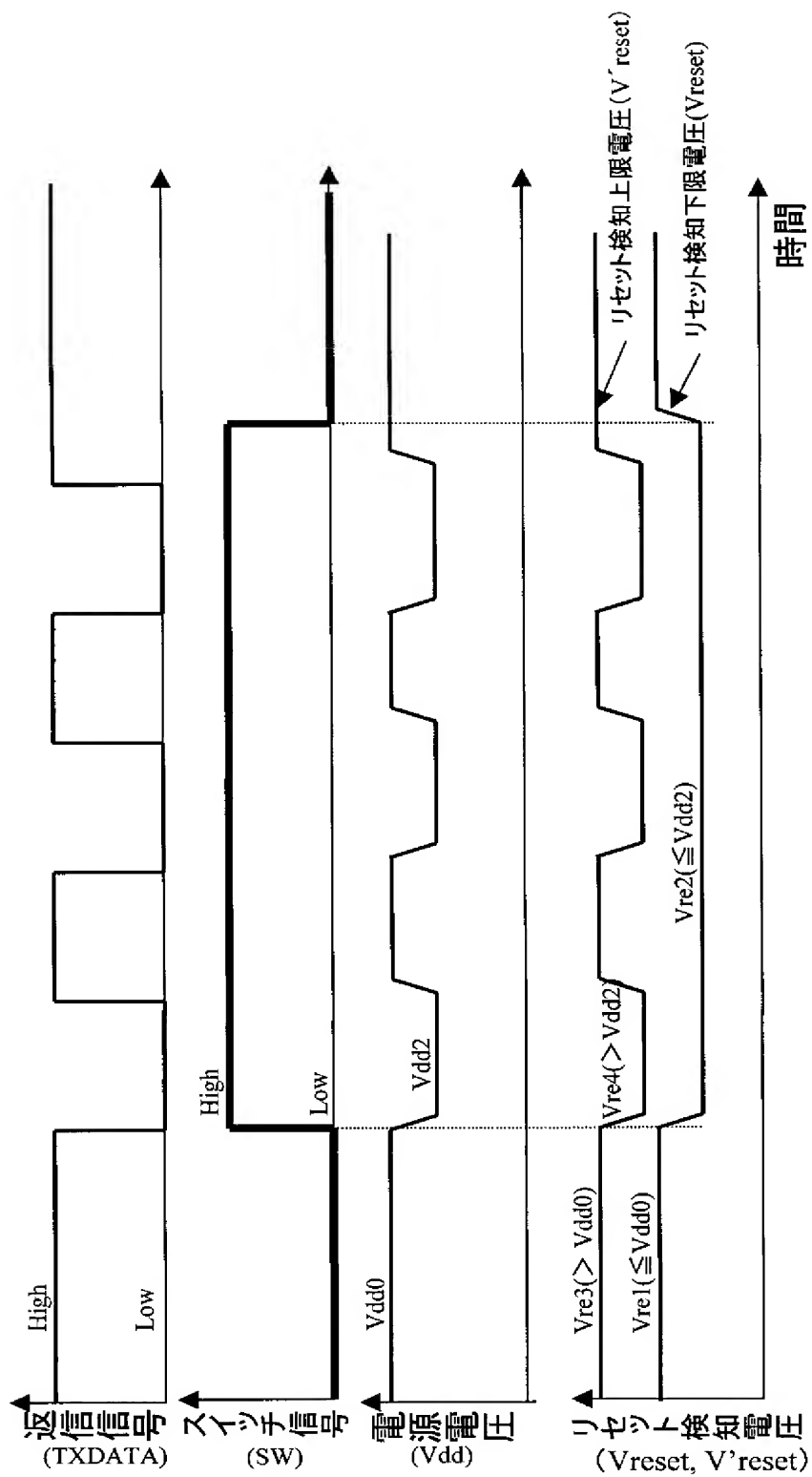
【図 5】



【図 6】







【書類名】 要約書

【要約】

【課題】 本発明は、簡単な構成で当該回路を内蔵する非接触型ＩＣカード（非接触情報媒体）の小型化を可能とし、かつ、高速で安定した通信を可能とする半導体集積回路を提供することを目的とする。

【解決手段】 本発明の半導体集積回路とこれを搭載した非接触型情報媒体は、非接触ＩＣカードからデータキャリアへのデータの送信時に、負荷変調回路動作による電源電圧の低下を原因とする、リセット発生回路３５からロジック回路部２１へのリセット信号を発生させない。そのため、通信可能な距離を延ばすことができ、大規模な回路を必要とせずに半導体集積回路全体を安定に動作させることができる。この半導体集積回路を用いることにより、近々普及すると見込まれている近接型（通信距離０～１０〔cm〕）の非接触型ＩＣカードを実現することができる。

【選択図】 図２

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社